



(19)

(11) Publication number:

2001284449 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000096966

(51) Intl. Cl.: H01L 21/768 H01L 21/285

(22) Application date: 31.03.00

(30) Priority:

(43) Date of application publication: 12.10.01

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: YAMAGISHI HAJIME
NOGAMI TAKESHI

(74) Representative:

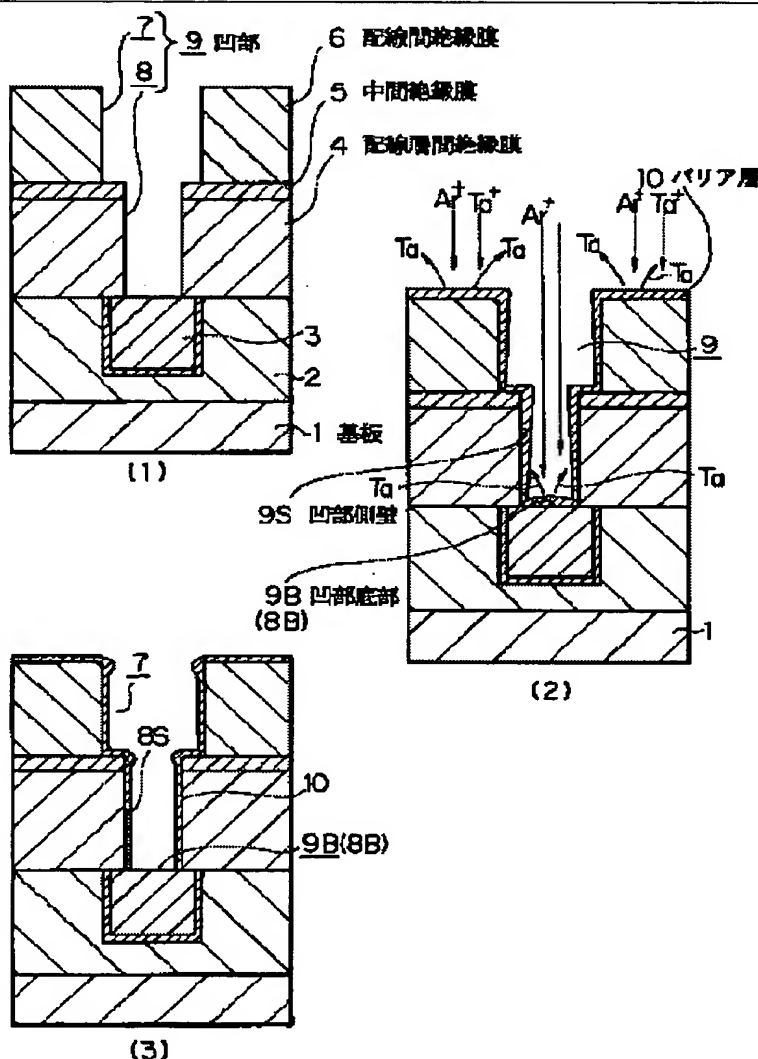
(54) SEMICONDUCTOR FABRICATION METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To improve resistance to electromigration when forming a barrier layer to prevent diffusion of copper inside interconnection holes of dual damascene structure, by forming a barrier layer on side wall of interconnection holes while eliminating the barrier layer to be formed at the bottom of the interconnection holes.

SOLUTION: A semiconductor fabrication method has a sputtering process for forming a barrier layer 10 on the inside wall of a concave 9 which is formed through an insulating film (an interwiring layer insulating film 4, an intermediate insulating film 5, and the second wiring layer insulating film 6) on a substrate 1. The sputtering method deposits the barrier layer 10 on the side wall 9S of the concave by sputter-etching the barrier layer 10 piled on the bottom of the concave.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284449
(P2001-284449A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/768		H 0 1 L 21/285	S 4 M 1 0 4
21/285			3 0 1 R 5 F 0 3 3
	3 0 1	21/90	A

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2000-96966 (P2000-96966)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 山岸 肇

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 野上 毅

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

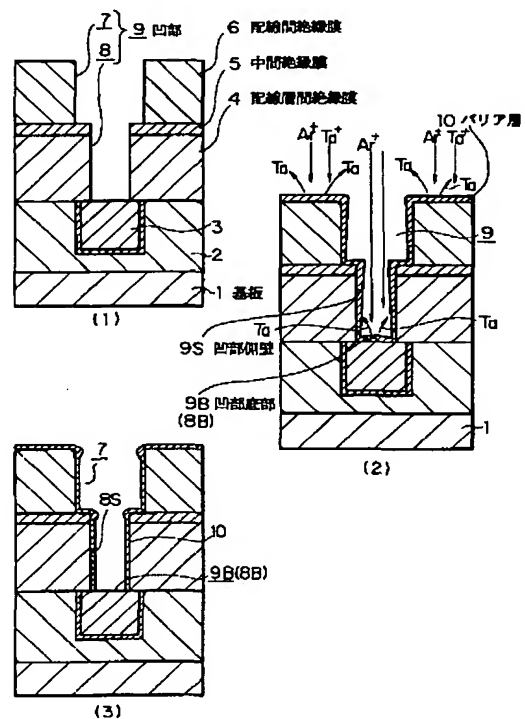
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 デュアルダマシン構造の接続孔に銅の拡散を防ぐバリア層を形成する際に、接続孔底部に形成されようとするバリア層を除去しながら接続孔側壁にバリア層を形成して、エレクトロマイグレーション耐性の向上を図る。

【解決手段】 基板 1 上の絶縁膜 (配線層間絶縁膜 4、中間絶縁膜 5、第 2 の配線層間絶縁膜 6) に形成された凹部 9 内面にスパッタリングによってバリア層 10 を形成する工程を備えた半導体装置の製造方法において、このスパッタリングは、凹部底部 9 B に堆積されるバリア層 10 をスパッタエッチングしながら凹部側壁 9 S にバリア層 10 を堆積させる製造方法である。



【特許請求の範囲】

【請求項 1】 基板上の絶縁膜に形成された凹部内面にバリア層をスパッタリングによって形成する工程を備えた半導体装置の製造方法において、

前記スパッタリングは、前記凹部底部に堆積されるバリア層材料をスパッタエッチングしながら前記凹部側壁にバリア層材料を堆積させることを特徴とする半導体装置の製造方法。

【請求項 2】 前記スパッタリングは、前記基板にバイアス電力を印加しながら行うことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記凹部は溝および該溝底部に形成された接続孔とからなり、

前記スパッタリングは、前記接続孔底部に堆積されるバリア層材料をスパッタエッチングしながら前記接続孔側壁および前記溝内面にバリア層材料を堆積させることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記絶縁膜を形成する工程は、前記接続孔が形成される配線層間絶縁膜を形成する工程と、

前記配線層間絶縁膜上に前記接続孔を形成する際のエッチングマスクとなる中間絶縁膜を形成する工程と、

前記中間絶縁膜上に前記溝が形成される配線間絶縁膜を形成する工程とからなり、

前記中間絶縁膜は、前記接続孔の内部および前記溝の内部に埋め込まれる配線材料の拡散を防止しかつ前記スパッタリング時にスパッタ耐性を有する材料で形成されることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 基板上の絶縁膜に形成された凹部内面にスパッタリングによってバリア層を形成する工程を備えた半導体装置の製造方法において、

異方性エッチングによって、前記凹部の底部に形成された前記バリア層を選択的に除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項 6】 前記凹部は溝および該溝底部に形成された接続孔とからなり、

前記異方性エッチングは、前記溝の内面および前記接続孔の側壁に前記バリア層を残した状態で前記接続孔底部に形成されたバリア層を選択的に除去することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記絶縁膜を形成する工程は、前記接続孔が形成される配線層間絶縁膜を形成する工程と、

前記配線層間絶縁膜上に前記接続孔を形成する際のエッチングマスクとなる中間絶縁膜を形成する工程と、

前記中間絶縁膜上に前記溝が形成される配線間絶縁膜を形成する工程とからなり、

前記中間絶縁膜は、前記接続孔の内部および前記溝の内部に埋め込まれる配線材料の拡散を防止しかつ前記異方

性エッチング時にエッチング耐性を有する材料で形成されることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくはデュアルダマシン法によって多層配線構造を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】シリコン半導体デバイスの多層配線には、反応性イオンエッチング（以下 R I E という、R I E は Reactive Ion Etching の略）によって加工したアルミニウム合金配線が用いられてきた。しかしながら、近年では、配線の容量、抵抗の増加にともない、配線遅延がデバイス性能の律速要因となりつつある。また、電流密度も世代とともに増加する傾向にあり、従来のアルミニウム合金配線よりも信頼性の高い配線への要求も強くなっている。

【0003】これらの問題に対する一つの解として、デュアルダマシン法による銅配線のデバイスへの採用を I B M 社が発表して以来、銅配線と低誘電率層間絶縁膜との組み合わせによる多層配線の高性能化が注目されている。それは、銅がアルミニウムの約 2 / 3 の比抵抗を有し、かつ基本的には信頼性も高いと信じられてきたからである。また、デュアルダマシン法の採用によるプロセス工程数の削減効果も期待されている。

【0004】

【発明が解決しようとする課題】しかしながら、デュアルダマシン法による銅配線の形成は、従来のアルミニウム合金配線の R I E を基本としたプロセスとは全く異なるため、技術的な問題点がいくつか指摘されている。そのなかでも、微細な接続孔に銅をボイドや欠陥の無い状態で埋め込む技術が必須であるが、現状のメッキ埋め込みでは信頼性よくメッキ埋め込みを実現することは難しいとされている。

【0005】さらに、デュアルダマシン法で形成された配線は、エレクトロマイグレーション耐性的に不利な構造となっている。それは、接続孔の底部において配線材料とは異なる材料からなるバリアメタル層によって接合されているため、エレクトロマイグレーションによる銅原子の流れが不連続となるためである。これによって、下層の銅配線から接続孔へ電子が流れ出す接続孔の底部は、銅原子の移動によってボイドが生成される起点となっている。そのため、埋め込み不良等によって接続孔部にできるボイドは、エレクトロマイグレーション耐性を大きく劣化させる致命傷となる。

【0006】デュアルダマシン法による銅配線の成膜方法としては、メッキ、スパッタリング、化学的気相成長（以下 C V D という、C V D は Chemical Vapor Deposition の略）法などを、いくつか組み合わせて用いてい

る。また、単独技術によって埋め込む技術としては、スパッタリフロー法、高圧スパッタ法、CVD法、無電解メッキ法等があげられている。これらの方法は、いずれも半導体プロセスへの応用が開発段階であり、課題も多い。また、上記埋め込み技術に加えて、接続孔に生じたボイドを解消するため、成膜後に真空中での熱処理を行って、銅膜をリフローさせる方法、高圧力雰囲気中で埋め込みを行う方法等が提案されているが、これらの方法も実用段階には至っていない。

【0007】以上のように、生産性、安定性、信頼性の観点から、微細な接続孔内にボイド（欠陥も含む）が発生することなく銅を埋め込む技術は、確立されていないのが現状である。

【0008】また、銅配線のボイドが引き起こす長期信頼性（例えば、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等）への影響が懸念されている。例えば、図7に示すように、接続孔221内面（底部も含む）にバリア層231が形成されていることにより、接続孔221内部に形成されたプラグ241の銅と接続孔221下部の下層配線211の銅とが連続した状態に形成されていない。そのため、エレクトロマイグレーションによって、銅原子の不連続部分における電子 e^- が流れる方向にボイド251が早期に成長する。そのため、接続孔221底部で接続不良が発生していた。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法であり、接続孔底部にバリア層を形成せずに、接続孔内部の銅と接続孔下部の下層配線の銅とを連続した状態に形成することでボイドの成長を抑える構造の製造方法を提案する。

【0010】第1の半導体装置の製造方法は、基板上的の絶縁膜に形成された凹部内面にスパッタリングによってバリア層を形成する工程を備えた半導体装置の製造方法において、前記スパッタリングは、前記凹部底部に堆積されるバリア層材料をスパッタエッチングしながら前記凹部側壁にバリア層材料を堆積させることを特徴としている。例えば、前記凹部は溝および該溝底部に形成された接続孔とからなり、前記スパッタリングは、前記接続孔底部に堆積されるバリア層材料をスパッタエッチングしながら前記接続孔側壁および前記溝内面にバリア層材料を堆積させる。

【0011】上記第1の半導体装置の製造方法では、凹部底部に堆積されるバリア層材料をスパッタエッチングしながら凹部側壁にバリア層材料を堆積させることから、接続孔底部に堆積されるバリア層材料をスパッタエッチングしながら接続孔側壁および溝内面にバリア層材料を堆積させることが可能になる。そのため、バリア層のような異種材料を挟むことなく、接続孔底部に露出される材料と同種の材料で接続孔内の配線材料を形成することで、接続孔底部に露出される配線材料と連続した状

態に接続孔内部の配線材料を形成することが可能になる。したがって、接続孔内に形成された配線材料から接続孔底部に露出した配線材料方向へ電流が流れた場合、接続孔底部にボイドが発生することがなくなるため、エレクトロマイグレーション耐性が向上される。

【0012】第2の半導体装置の製造方法は、基板上的の絶縁膜に形成された凹部内面にスパッタリングによってバリア層を形成する工程を備えた半導体装置の製造方法において、異方性エッチングによって、前記凹部の底部に形成された前記バリア層を選択的に除去する工程を備えている。例えば、前記凹部は溝および該溝底部に形成された接続孔とからなり、前記異方性エッチングは、前記溝の内面および前記接続孔の側壁に前記バリア層を残した状態で前記接続孔底部に形成されたバリア層を選択的に除去する。

【0013】上記第2の半導体装置の製造方法では、凹部の底部に形成されたバリア層を選択的に除去することから、溝の内面および接続孔の側壁にバリア層を残した状態で接続孔底部に形成されたバリア層を選択的に除去することが可能になる。そのため、バリア層のような異種材料を挟むことなく、接続孔底部に露出される材料と同種の材料で接続孔内の配線材料を形成することで、接続孔底部に露出される材料と連続した状態に接続孔内部の配線材料を形成することが可能になる。したがって、接続孔内に形成された配線材料から接続孔底部に露出した材料方向へ電流が流れた場合、接続孔底部にボイドが発生することがなくなるため、エレクトロマイグレーション耐性が向上される。

【0014】

【発明の実施の形態】本発明の第1の半導体装置の製造方法に係る第1の実施の形態を、図1の製造工程断面図によって説明する。

【0015】図1の(1)に示すように、基板1上に形成された下地絶縁膜2には、溝配線構造の第1の配線3が形成されている。上記下地絶縁膜2上には、配線層間絶縁膜4、中間絶縁膜5および配線間絶縁膜6が順に積層されている。上記配線間絶縁膜6には、溝配線構造の第2の配線が形成される溝7が形成されている。また配線層間絶縁膜4および中間絶縁膜5には、溝7の底部から上記第1の配線3に到達する接続孔8が形成されている。このように、凹部9は溝7および接続孔8で構成されている。

【0016】図1の(2)、(3)に示すように、スパッタリングによって、上記凹部9内面にバリア層10を形成する。その際、上記スパッタリングは、凹部底部9Bに堆積されるバリア層材料をスパッタエッチングしながら凹部側壁9Sにバリア層材料を堆積させるために、基板にバイアスを印加するイオン化スパッタリングによって行う。

【0017】このイオン化スパッタリングでは、例え

ば、図1の(2)に示すように、バリア層10としてタンタル(Ta)を使用する場合、最初の数秒間は、基板1にバイアスを印加しないセルフバイアスの状態でタンタルイオン(Ta^+)を堆積して成膜を行う。その後、基板1にバイアスを印加して、イオン化しているガス(例えばアルゴンイオン Ar^+)を一旦接続孔底部8Bに成膜されていたバリア層10に衝突させてタンタルTaをスパッタエッチングする。

【0018】上記スパッタエッチング作用によって、図1の(3)に示すように、凹部底部9B(接続孔底部8B)のバリア層10を除去する、もしくは極めて薄い状態として、接続孔側壁8Sにバリア層材料を再堆積させてバリア層10を形成する。すなわち、堆積作用とエッチング作用とを調節しながら繰り返し行って、接続孔底部8Bにバリア層10を堆積させることなく、もしくはほとんど堆積させることなく、接続孔側壁8Sにバリア層10を形成するとともに溝7の内面にもバリア層10を形成する。

【0019】上記第1の半導体装置の製造方法では、接続孔底部8Bに堆積されるバリア層材料をスパッタエッチングしながら接続孔側壁8Sおよび溝7内面にバリア層10を堆積させることが可能になる。そのため、バリア層10のような異種材料を挟むことなく、接続孔底部8Bに露出される材料、すなわち第1の配線3を形成している材料と同種の材料で接続孔8内の配線材料を形成することで、接続孔底部8Bに露出される第1の配線3を形成している材料と連続した状態に接続孔8内部の配線材料を形成することが可能になる。したがって、接続孔8内に形成された配線材料から第1の配線3方向へ電流が流れた場合、接続孔底部8Bにボイドを発生することがなくなるため、エレクトロマイグレーション耐性が向上される。

【0020】次に、本発明の第1の半導体装置の製造方法に係る具体的な実施の形態(以下第1の実施の形態という)を、図2～図4の製造工程断面図によって説明する。

【0021】図2の(1)に示すように、図示しない層間絶縁膜、半導体素子(例えばトランジスタ)、配線(例えばワード線)等が形成された基板101上に、下地絶縁膜102を形成する。例えば、平行平板電極プラズマCVD装置を用い、原料ガスにTEOS(テトラエトキシシラン)を用いたプラズマCVD法によって、酸化シリコン膜を成膜する。以下、このような製造方法で形成される酸化シリコン膜をP-TEOS膜と記す。このP-TEOS膜の成膜条件の一例としては、プロセスガスにテトラエトキシシラン(TEOS):流量=800 cm^3/min と酸素(O_2):流量=600 cm^3/min とを用い、成膜雰囲気圧力を1133.2Pa、基板温度を400℃、高周波電力を700Wに設定した。

【0022】その後、上記下地絶縁膜102上に、銅の拡散を防止するための拡散防止層および反応性イオンエッチング時のストッパ層として機能する窒化シリコン膜103を例えば50nmの厚さに形成する。この窒化シリコン膜103の成膜条件の一例としては、例えば平行平板電力プラズマCVD装置を用い、プロセスガスにモノシラン(SiH_4):流量=265 cm^3/min とアンモニア(NH_3):流量=100 cm^3/min と窒素(N_2):流量=4000 cm^3/min とを用い、成膜雰囲気圧力を565Paに設定した。

【0023】次いで、上記窒化シリコン膜103上に下層配線が形成される第1の配線間絶縁膜104を、例えば酸化シリコンを500nmの厚さに堆積して形成する。その成膜条件は、一例として、上記下地絶縁膜102の成膜条件と同様の条件に設定した。

【0024】次いで、図2の(2)に示すように、レジスト塗布、リソグラフィ技術によって、上記第1の配線間絶縁膜104上に、第1の溝(下層配線溝)を形成するためのマスクとなるレジスト膜(図示せず)を形成した後、そのレジスト膜をマスクに用いた反応性イオンエッチングによって、上記第1の配線間絶縁膜104に第1の溝105を形成する。このときのエッチング条件としては、エッチングガスに、トリフルオロメタン(CHF_3):流量=30 cm^3/min と、テトラフルオロメタン(CF_4):流量=60 cm^3/min と、アルゴン(Ar):流量=800 cm^3/min とを用い、エッチング雰囲気圧力を200Pa、基板温度を25℃に設定した。

【0025】その後、上記レジスト膜を除去する。次いで、図2の(3)に示すように、スパッタリングによって、上記第1の溝105の内面にバリア層106を、例えばタンタル(Ta)を30nmの厚さに堆積して形成し、さらにメッキシード層(図示せず)を例えば銅を100nmの厚さに堆積して形成する。なお、良好な密着成膜が要求されるメッキシード層は、バリア層106を成膜した後に大気開放することなくいわゆるin-situで連続成膜する必要がある。

【0026】特にここで使用するスパッタリング装置には、ターゲットからスパッタリングされた粒子をプラズマによってイオン化することでウエハ表面に到着する角度分布を調節できるイオン化スパッタリング装置を用いる。このイオン化スパッタリング装置には、ターゲットと基板との間に設けた高周波発振器によってプラズマを発生させ、高いイオン化率の領域にスパッタリング粒子を通過させることができるものを用いる。そのため、このプラズマ領域とウエハ間に高い電圧差が生じ、イオン化されたスパッタリング粒子はこの電圧差によって、ウエハに向かってほぼ垂直に加速される。また、ウエハに交流バイアスを印加することで、ステップカバリッジを制御する。

【0027】上記タンタルからなるバリア層106の成膜条件の一例としては、直流電力を1kW、高周波コイル電力を1.5kW、プロセスガスにアルゴン(Ar)：流量=50cm³/min、直流電力を1kW、高周波コイル電力を1.5kW、プロセスガスにアルゴン(Ar)：流量=50cm³/min、ウエハへの交流バイアス電力を350W、ウエハにバイアス電力を印加する時間割合を50%とした。また、上記銅シード層(図示せず)の成膜条件の一例としては、直流電力を2kW、高周波コイル電力を2kW、プロセスガスにアルゴン(Ar)：流量=50cm³/min、ウエハへの交流バイアス電力を350W、ウエハにバイアス電力を印加する時間割合を50%とした。

【0028】次に電解メッキ法によって、第1の配線(下層配線)が埋め込まれる上記第1の溝105の内部を含む第1の配線間絶縁膜104上に、銅メッキ膜を例えば1.0μmの厚さに形成する。上記銅の電解メッキ条件の一例としては、電解メッキ液に硫酸銅系メッキ液を用い、メッキ電流値を2.8A、メッキ時間を4分30秒、メッキ液温度を18℃に設定した。

【0029】次に、化学的機械研磨(以下CMPという、CMPはChemical Mechanical Polishing)法によって、溝の内部以外に形成されている上記銅メッキ膜を除去するとともに、平坦化を行って、第1の溝105の内部に上記銅メッキ膜からなる第1の配線(下層配線)107が形成される。このCMP条件の一例としては、研磨パッドに不織布と独立発泡体の積層体を用い、研磨スラリーに過酸化水素を添加したアルミナ含有スラリーを用い、研磨圧力を9.8kPa、研磨定盤の回転数を30rpm、研磨ヘッドの回転数を30rpm、研磨スラリーの供給流量を100cm³/min、研磨雰囲気温度を25℃~30℃に設定した。

【0030】次に、図3の(4)に示すように、第1の配線間絶縁膜104上に、上記第1の配線107を覆うキャップ絶縁膜108を、例えば窒化シリコン膜で形成する。このキャップ絶縁膜108は、銅の拡散を防止する機能を有する必要から、例えば50nmの厚さに形成されている。

【0031】次に、上記キャップ絶縁膜108上に配線層間絶縁膜(ILD: Inter Level Dielectrics film)109を、例えば500nmの厚さのP-TEOS膜で形成する。この成膜方法は上記第1の配線間絶縁膜104の成膜方法と同様である。

【0032】次に、配線層間絶縁膜109上にエッチングを停止させる中間絶縁膜110を、例えば70nmの圧力さの窒化シリコン膜で形成する。この中間絶縁膜110の成膜方法は、上記窒化シリコン膜103と同様の成膜条件を用いることができる。次いで、リソグラフィ技術とエッチング技術とを用いて、上記中間絶縁膜110に接続孔パターン111を開口する。このエッチン

グ条件の一例としては、エッチングガスに、トリフルオロメタン(CHF₃)：流量=35cm³/minと、テトラフルオロメタン(CH₄)：流量=50cm³/minと、アルゴン(Ar)：流量=400cm³/minと、窒素(N₂)：流量=20cm³/minとを用い、エッチング雰囲気圧力を93.3Pa、高周波パワーを600Wに設定した。

【0033】次に、図3の(5)に示すように、上記配線層間絶縁膜109上に上記中間絶縁膜110を覆う第2の配線間絶縁膜(IMD: Inter Metal Dielectrics film)112を、例えば500nmの厚さのP-TEOS膜で形成する。この成膜方法は上記第1の配線間絶縁膜104の成膜方法と同様である。

【0034】次に、レジスト塗布、リソグラフィ技術によって、上層配線を埋め込む溝を形成するレジスト膜(図示せず)を形成した後、そのレジスト膜をマスクに用いた異方性イオンエッチング技術によって、第2の配線層間絶縁膜112に上層配線を埋め込む第2の溝113を形成する。さらに上記中間絶縁膜110をハードマスクに用いて配線層間絶縁膜109に接続孔114を形成する。

【0035】上記第2の配線層間絶縁膜112、配線層間絶縁膜109のエッチング条件の一例としては、エッチングガスに、トリフルオロメタン(CHF₃)：流量=30cm³/minと、テトラフルオロメタン(CH₄)：流量=60cm³/minと、アルゴン(Ar)：流量=800cm³/minとを用い、エッチング雰囲気圧力を200Pa、基板温度を25℃に設定した。

【0036】次に、本発明の特徴とする工程であるバリア層の形成工程を説明する。

【0037】図4の(6)に示すように、スパッタリングによって、上記接続孔114の側壁および少なくとも上記第2の溝113の側壁に、例えばタンタル(Ta)を30nmの厚さに堆積して、バリア層115を形成する。このときの成膜では、接続孔底部114Bにはバリア層115が形成されないように、例えば基板にACバイアスを適時印加することでステップカバリッジを制御できるイオン化スパッタ装置を用いる。

【0038】イオン化スパッタリングを用いる場合には、接続孔底部114Bに堆積されたバリア層115が除去されると同時に溝底部113Bに堆積されたバリア層115もスパッタリングされて除去される可能性がある。この場合、基板101にバイアスを印加する時間とバイアスパワーの設定を調節することによって溝底部114Bのバリア層115のスパッタリングを抑制することができる。

【0039】上記バリア層の成膜条件としては、通常の成膜スパッタリングよりもスパッタエッチング成分を高めた設定とする。すなわち、イオン化スパッタリング装

10

20

30

40

50

置のDCパワー、高周波コイルパワー、スパッタリング雰囲気圧力(プロセスガスに用いるアルゴンガスの供給流量)は通常の成膜スパッタリングよりも低めに設定する。また、AC基板バイアスパワー、基板バイアスを印加する時間割合は通常の成膜スパッタリングよりも高めに設定する。その一例としては、プロセスガスにアルゴン(Ar)を用い、DCパワーを1kW、高周波コイルパワーを1.5kW、AC基板バイアスパワーを500W、基板バイアスを印加する時間割合を75%に設定した。特に、基板の大きさにもよるが、200mmウェハでは、基板バイアスを印加する時間割合は51%以上とし、AC基板バイアスパワーは400W以上とする。

【0040】イオン化スパッタリングでは、例えば、バリア層115としてタンタル(Ta)を使用する場合、最初の数秒間は、基板101にバイアスを印加しないセルフバイアスの状態で成膜を行う。その後、基板101にバイアスを印加して、イオン化しているガス(例えばアルゴンイオン)を一旦接続孔底部114Bに成膜されていたバリア層115に衝突させてスパッタエッチングさせる。このスパッタエッチング作用によって、接続孔底部114Bのバリア層を除去もしくは極めて薄い状態として、接続孔側壁114Sにバリア層115を再堆積させる。すなわち、堆積作用とエッチング作用とを調節しながら繰り返し行って、接続孔底部114Bにバリア層115を堆積させることなく、もしくはほとんど堆積させることなく、接続孔側壁114Sにバリア層115を形成するとともに第2の溝113の内面にもバリア層115を形成する。

【0041】次に、図4の(7)に示すように、スパッタリングによって、少なくとも上記接続孔114の内面および上記第2の溝113の内面にメッキシード層(図示せず)を、例えば銅を100nmの厚さに堆積して形成する。このメッキシード層は良好な密着性が要求されるため、上記バリア層115の形成に引き続いて、基板101を大気中に開放することなく、いわゆるin-situで連続的に形成することが好ましい。

【0042】次に、電解メッキ法によって、第2の溝113内部と接続孔114内部とに銅を埋め込む。そのため、銅メッキ層を例えば1.0μmの厚さに形成する。この電解メッキ条件は、前記第1の配線107を形成する際の銅メッキ条件と同様の条件を用いることができる。

【0043】次に、CMPによって、第2の溝113および接続孔114の内部に埋め込まれている以外の銅メッキ層およびバリア層115を第2の配線層間絶縁膜112表面が露出するまで除去して、表面の平坦化を行う。その結果、第2の溝113内部には銅メッキ層からなる第2の配線(上層配線)116が形成され、接続孔114の内部には銅メッキ層からなるもので第1の配線107と第2の配線116とをバリア層115を介さず

に接続するプラグ117が形成される。

【0044】次に、上記第2の配線116を覆うもので銅の酸化防止膜として機能するキャップ膜118を、例えば窒化シリコンを50nmの厚さに堆積して形成する。

【0045】上記第1の実施の形態で接続した製造方法では、接続孔底部114Bに堆積されるバリア層115をスパッタエッチングしながら接続孔側壁114Sおよび第2の溝113内面にバリア層115を堆積させることが可能になる。そのため、バリア層115のような異種材料を挟むことなく、接続孔底部114Bに露出される材料、すなわち第1の配線107を形成している材料と同種の材料で接続孔114内の配線材料を形成することで、接続孔底部114Bに露出される第1の配線107を形成している材料と連続した状態に接続孔114内部の配線材料を形成することが可能になる。したがって、接続孔114内に形成された配線材料から第1の配線107方向へ電流が流れた場合、接続孔底部114Bにボイドを発生することがなくなるため、エレクトロマイグレーション耐性が向上される。

【0046】次に、第2の実施の形態を、図5～図6の製造工程断面図によって説明する。この第2の実施の形態では、前記第1の実施の形態で説明した第1の配線間絶縁膜104、第2の配線間絶縁膜112および配線層間絶縁膜109に、P-TEOS膜の代わりに、酸化シリコンよりも誘電率が低い、いわゆる低誘電率膜を用いた例を示す。低誘電率膜には、SiOF膜に代表される無機系の低誘電率膜、プラズマCVD法による成膜が可能なフルオロカーボン樹脂、ポリイミド樹脂等に代表される有機系の絶縁膜等が知られている。

【0047】図5の(1)に示すように、前記第1の実施の形態で説明したのと同様のプロセスによって、図示しない層間絶縁膜、半導体素子(例えばトランジスタ)、配線(例えばワード線)等が形成された半導体基板からなる基板101を形成する。次に基板101上に、下地絶縁層102を、例えば、P-TEOS膜で形成する。その後、上記下地絶縁層102上に、銅の拡散を防止するための拡散防止層および反応性イオンエッチング時のストッパ層として機能する窒化シリコン膜103を形成する。

【0048】次いで、上記窒化シリコン膜103上に第1の配線間絶縁膜121を、例えば有機系の絶縁膜で形成する。上記有機系の絶縁膜は、例えば、回転塗布技術によって、ポリアリアルエーテルのような有機材料を塗布し、キュアを例えば400℃で行うことによって形成する。上記第1の配線間絶縁膜121には、BCB(bis-benzocyclobutene)、ポリイミド、フッ素樹脂、ケソゲルなどの材料を用いることができる。

【0049】次に、上記第1の配線間絶縁膜121上にハードマスク(図示せず)を例えば酸化シリコン膜で形

成する。この酸化シリコン膜は、例えばプラズマCVD法によって、酸化シリコンを例えば200nmの厚さに堆積して形成する。なお、ハードマスク座には、酸化シリコンの他に、炭化シリコン(SiC)、窒化シリコン(SiN)、酸化窒化シリコン(SiON)、無機SiO₂等を用いることも可能である。

【0050】次に、レジスト塗布、リソグラフィー技術によって、第1の配線(下層配線)を埋め込む第1の溝を形成するレジスト膜(図示せず)を形成した後、そのレジスト膜をマスクに用いた異方性イオンエッチング技術によって、ハードマスクに第1の配線を埋め込む溝パターンを形成する。このエッチング条件の一例としては、エッチングガスにトリフルオロメタン(CH₃F₃):流量=30cm³/minと、テトラフルオロメタン(CH₂F₄):流量=60cm³/minと、アルゴン(Ar):流量=800cm³/minとを用い、エッチング雰囲気圧力を200Pa、基板温度を25℃に設定した。

【0051】次にレジスト膜が付着した状態で、上記ハードマスクをマスクにして異方性エッチングを行って、有機材料の第1の配線間絶縁膜121に第1の配線(下層配線)を形成するための第1の溝122を形成する。このエッチングでは、有機材料であるハードマスク上に残るレジスト膜もエッチングされ完全に除去される。このエッチング条件の一例としては、エッチング装置に例えば電子サイクロトロン共鳴(ECR:Electron Cyclotron Resonance)プラズマエッチング装置を用い、エッチングガスに、窒素(N₂)とヘリウム(He)とを用い、エッチング雰囲気圧力を1Pa、マイクロ波電力を1.0kW、バイアス高周波電力を300Wに設定した。

【0052】次いで、前記第1の実施の形態で説明したプロセスと同様に、スパッタリングによって、上記第1の溝122の内面にバリア層123を例えばタンタル(Ta)を30nmの厚さに堆積して形成し、さらにメッキシード層(図示せず)を例えば銅を100nmの厚さに堆積して形成する。なお、良好な密着成膜が要求されるメッキシード層は、バリア層123を成膜した後に大気開放することなくいわゆるin-situで連続成膜する必要がある。

【0053】次に電解メッキ法によって、上記第1の溝122の内部を含む第1の配線間絶縁膜121上に、銅メッキ膜を例えば1.0μmの厚さに形成する。次に、CMP法によって、第1の溝122の内部以外に形成されている上記銅メッキ膜を除去するとともに、平坦化を行う。その結果、第1の溝122の内部に銅メッキ膜からなる第1の配線124がバリア層123を介して形成される。

【0054】次に、第1の配線間絶縁膜121上に、上記第1の配線124を覆うキャップ絶縁膜125を、例

えば窒化シリコン膜で形成するこのキャップ絶縁膜125は、銅の拡散を防止する機能を有する必要から、例えば50nmの厚さに形成されている。

【0055】次に、上記キャップ絶縁膜125上に配線層間絶縁膜(ILD:Inter Level Dielectrics film)126を、例えば500nmの厚さの有機系絶縁膜で形成する。例えば、配線層間絶縁膜126を、例えばポリアリールエーテルで形成する場合には、上記第1の配線間絶縁膜121と同様の成膜条件によって形成する。

【0056】次に、配線層間絶縁膜126上に中間絶縁膜127を、例えば50nmの厚さの酸化シリコン膜で形成する。上記中間絶縁膜127は、エッチングのハードマスクとして機能するとともにエッチングストップとしての機能も果たす。上記中間絶縁膜127の成膜方法の一例としては、プロセスガスにモノシラン(SiH₄)と一酸化二窒素(N₂O)とを用い、基板温度を350℃、成膜雰囲気圧力を1kPaに設定した。

【0057】次に、前記第2の実施の形態と同様にして、中間絶縁膜127上に第2の配線間絶縁膜128を、例えばポリアリールエーテルのような有機材料を300nmの厚さに形成する。その成膜条件は、一例として上記配線層間絶縁膜126と同様の条件を用いることができる。

【0058】次に、上記第2の配線間絶縁膜128上に、例えば酸化シリコン膜129を例えば200nmの厚さに形成し、さらに窒化シリコン膜130を例えば300nmの厚さに形成して、ハードマスク131を構成する。上記酸化シリコン膜129の形成条件は、前記中間絶縁膜127と同様な条件で形成することが可能である。また窒化シリコン膜130は、前記第1の実施の形態で説明した窒化シリコン膜103と同様の成膜条件で形成することが可能である。

【0059】次に、図5の(2)に示すように、レジスト塗布技術によりレジスト膜(図示せず)を形成した後、リソグラフィー技術によって、レジスト膜に上層配線を埋め込む溝パターン(図示せず)を形成する。そのレジスト膜をマスクに用いた異方性イオンエッチング技術によって、窒化シリコン膜130に溝パターン132を形成する。その後、レジスト膜を例えばアッシングによって除去する。

【0060】次いで、レジスト塗布によりレジスト膜133を形成した後、リソグラフィー技術によって、レジスト膜133に接続孔を形成するための接続孔パターン134を形成する。そのレジスト膜133をマスクに用いた異方性イオンエッチング技術によって、酸化シリコン膜129に接続孔パターン135を形成する。

【0061】さらに、図6の(3)に示すように、上記酸化シリコン膜129をマスクに用いて異方性エッチングを行って、上記第2の配線間絶縁膜128に接続孔パターン135を延長して形成する。この酸化シリコン膜

129のエッチング条件の一例としては、前記ハードマスクのエッチング条件と同様の条件を用いることができ、上記第2の配線間絶縁膜128のエッチング条件例としては前記第1の配線間絶縁膜121のエッチング条件と同様の条件を用いることができる。このとき、レジスト膜は有機材料であるため、第2の配線間絶縁膜128のエッチングによって完全に除去される。そのため、ここではレジスト膜を除去するためのアッシング処理を行う必要がない。

【0062】次に、上記窒化シリコン膜130をマスクに用いたエッチングによって、酸化シリコン膜129と中間絶縁膜127をエッチングする。

【0063】その結果、図6の(4)に示すように、酸化シリコン膜129に溝パターン136が形成され、中間絶縁膜127に接続孔パターン135が延長形成される。この酸化シリコン膜129のエッチング条件の一例としては、前記ハードマスクおよび中間絶縁膜127のエッチング条件と同様の条件を用いることができる。

【0064】次に、上記窒化シリコン膜130〔前記図6の(3)参照〕をマスクに用いたエッチングによって、第2の配線間絶縁膜128に上層配線を形成するための第2の溝137を形成するとともに、上記中間絶縁膜127をマスクに用いたエッチングによって、配線層間絶縁膜126に接続孔138を形成する。上記配線層間絶縁膜126のエッチング条件の一例としては前記第1の配線間絶縁膜121のエッチング条件と同様の条件を用いることができる。

【0065】次に、酸化シリコン膜129および中間絶縁膜127をマスクに用いたエッチングによって、ハードマスクとして用いた窒化シリコン膜130〔前記図6の(3)参照〕と接続孔138の底部の窒化シリコン膜からなるキャップ絶縁膜125を除去する。このエッチング条件の一例としては、前記第1の実施の形態で説明した中間絶縁膜110に接続孔パターン111を開口するエッチング条件と同様の条件を用いることができる。

【0066】その後、前記第1の実施の形態で説明したのと同様にして、バリア層、銅シード層、銅メッキ膜を形成した後、化学的機械研磨によって余分な銅メッキ膜およびバリア層を除去することで、接続孔138の内部に第1の配線124に接続するプラグ(図示せず)を形成するとともに第2の溝137の内部に第2の配線(上層配線)(図示せず)を形成する。

【0067】この第2の実施の形態においても、接続孔138および第2の溝137にバリア層を形成する際には、前記第1の実施の形態と同様の作用、効果が得られる。

【0068】次に、本発明の第2の半導体装置の製造方法に係る実施の形態を説明する。この第2の半導体装置の製造方法では、前記第1の半導体装置の製造方法に対してバリア層の成膜方法が異なるのみで、その他のプロ

セスは前記第1の半導体装置の製造方法と同様であるためにここでは説明を省略する。したがって、その他のプロセスは前記第1の半導体装置の製造方法に係る説明を参照していただきたい。

【0069】本発明の第2の半導体装置の製造方法に係る実施の形態では、バリア層を形成する際に、長距離スパッタリング装置や通常のイオン化スパッタリング装置のような指向性スパッタリング装置とエッチバック装置とを組み合わせ用いる。すなわち、指向性のスパッタリング装置によって、バリア層を形成した後、エッチバック装置によって、接続孔(凹部)底部に形成されているバリア層を選択的に異方性エッチングすることで除去する。このようにして、溝内面および接続孔側壁にバリア層を残し、接続孔底部のバリア層を除去する。

【0070】上記製造方法でも、バリア層を形成した後に銅シード層を形成するが、その際には、銅シード層の密着性を良好な状態に確保するため、バリア層を成膜した後は基板を大気開放せず、いわゆるin-situに銅シード層を連続成膜することが好ましい。例えば、一般的に使用されているスパッタリング装置のプラットホームにバリア層をエッチングすることができるチャンバを追加し、バリア層の成膜、エッチバック、銅シード層の成膜を、基板を大気開放することなく、いわゆるin-situに連続成膜すればよい。

【0071】次に、本発明の半導体装置の製造方法に係る各実施の形態において、中間絶縁膜110〔前記図3の(5)参照〕、中間絶縁膜127〔前記図5の(1)参照〕に炭化シリコン膜を用いる。その他のプロセスは、前記各実施の形態で説明したのと同様である。

【0072】中間絶縁膜に炭化シリコン膜を用いた場合には、エッチング条件の一例としては、エッチングガスにヘリウム(He)とトリメチルシラン〔(CH₃)₃SiH〕とを用い、エッチング雰囲気圧力を667Paに設定し、エッチング装置の高周波パワーを300Wに設定した。

【0073】上記中間絶縁膜を炭化シリコンで形成することによって、たとえ、接続孔底部のバリア層とともに溝底部のバリア層となるタンタル膜も除去されたとしても、溝底部にはバリア性の高い炭化シリコン膜が残るので、層間絶縁膜中への銅の拡散を防止することができる。

【0074】さらに、デュアルダマシンプロセスに使用する中間絶縁膜110〔前記図3の(5)参照〕、中間絶縁膜127〔前記図5の(1)参照〕にバリア性の高い炭化シリコン(SiC)や炭化酸化シリコン(SiOC)のような材料を使用することによって、溝底部のバリア層(タンタル膜)が万一除去されたとしても、接続孔および配線が埋め込まれる溝内に形成される銅が配線層間絶縁膜や配線層間絶縁膜中に拡散することを確実に防ぐことができる。

【0075】また、上記各実施の形態では、バリア層にタンタル（Ta）膜を用いたが、銅の拡散を防ぐ機能を有する窒化タンタル（Ta₃N₅）、チタン（Ti）、窒化チタン（TiN）、タングステン（W）、窒化タングステン（WN）等を用いることが可能である。

【0076】また、上記各実施の形態は、スパッタリングによるバリア層とメッキシード層の形成と、電解メッキによる銅の埋め込みとを組み合わせたプロセスで実現することが可能である。そのため、プロセス的負荷が少ない。

【0077】

【発明の効果】以上、説明したように本発明の第1の半導体装置の製造方法によれば、凹部（接続孔）底部に堆積されるバリア層材料をスパッタエッチングしながら凹部（接続孔）側壁および溝内面にバリア層材料を堆積させることができる。そのため、接続孔底部に露出される材料と同種の材料を接続孔底部に露出される材料と連続した状態で、接続孔内部に配線材料を形成することができる。よって、エレクトロマイグレーション耐性の向上が図れるので、接続孔底部にボイドが発生しない信頼性の高い配線構造を形成することが可能になる。それとともに、配線構造の高性能化、低コスト化を実現することができる。

【0078】本発明の第2の半導体装置の製造方法によれば、凹部（接続孔）の底部に形成されたバリア層を選択的に除去するので、凹部（接続孔）側壁および溝内面にバリア層を残した状態で接続孔底部に形成されたバリ

ア層を選択的に除去することができる。そのため、接続孔底部に露出される材料と同種の材料を接続孔底部に露出される材料と連続した状態で、接続孔内部に配線材料を形成することができる。よって、エレクトロマイグレーション耐性の向上が図れるので、接続孔底部にボイドが発生しない信頼性の高い配線構造を形成することが可能になる。それとともに、配線構造の高性能化、低コスト化を実現することができる。

【図面の簡単な説明】

10 【図1】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程断面図である。

【図2】第1の実施の形態を示す製造工程断面図である。

【図3】第1の実施の形態を示す製造工程断面図である。

【図4】第1の実施の形態を示す製造工程断面図である。

【図5】第2の実施の形態を示す製造工程断面図である。

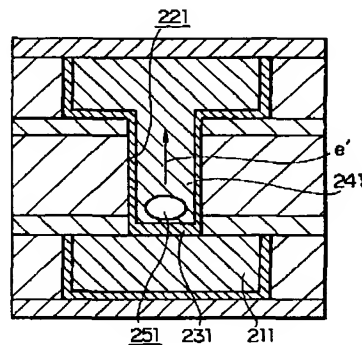
20 【図6】第2の実施の形態を示す製造工程断面図である。

【図7】課題を説明する概略構成断面図である。

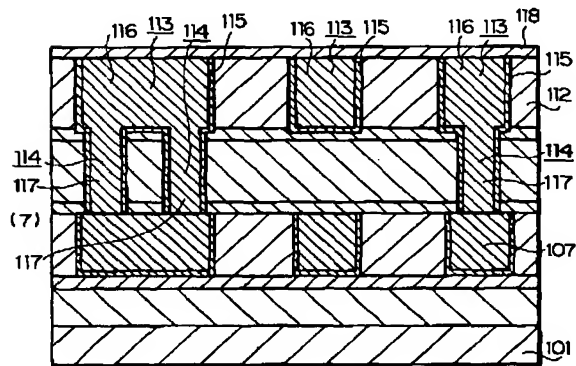
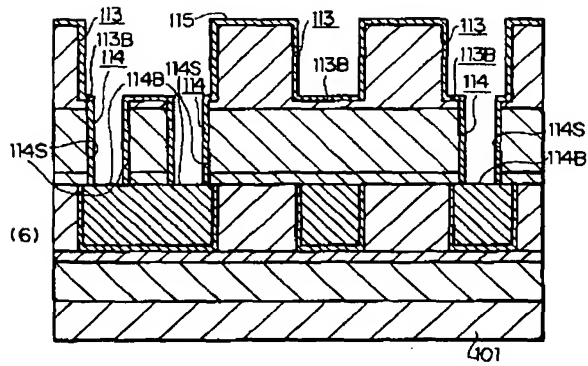
【符号の説明】

1…基板、4…配線層間絶縁膜、5…中間絶縁膜、6…配線間絶縁膜、9…凹部、9B…凹部底部、9S…凹部側壁、10…バリア層

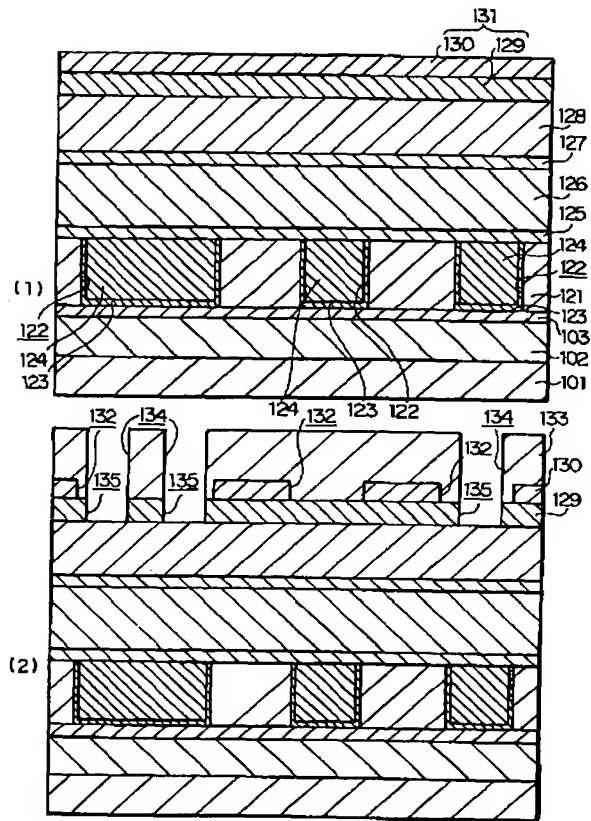
【図7】



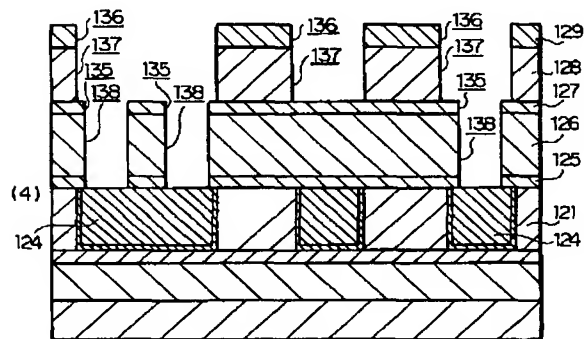
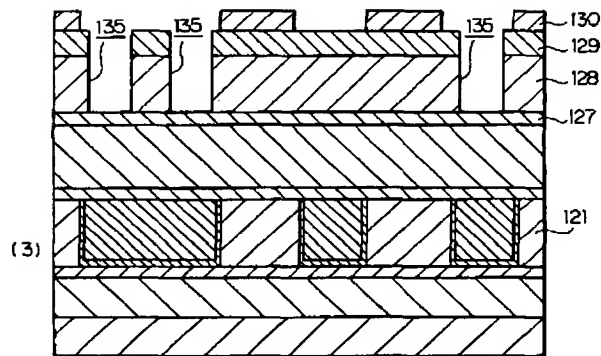
【図 4】



【図 5】



【図6】



フロントページの続き

Fターム(参考) 4M104 BB04 BB14 BB17 BB18 BB30
 BB32 BB33 CC01 DD04 DD08
 DD16 DD17 DD38 DD52 DD75
 EE14 EE15 EE17 EE18 FF17
 FF22 HH01
 5F033 HH11 HH18 HH19 HH21 HH32
 HH33 HH34 JJ11 JJ18 JJ19
 JJ21 JJ32 JJ33 JJ34 KK11
 KK18 KK19 KK21 KK32 KK33
 KK34 MM02 MM12 MM13 NN05
 NN06 NN07 PP17 PP27 QQ09
 QQ12 QQ13 QQ28 QQ31 QQ48
 QQ98 RR01 RR04 RR06 RR08
 RR09 RR11 RR21 RR22 RR24
 SS02 SS04 SS15 SS22 XX05